

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Requested Patent: JP7141406

Title: ARRANGING AND WIRING DEVICE

Abstracted Patent: JP7141406

Publication Date: 1995-06-02

Inventor(s): YONEZAWA HIROKAZU; others: 02

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD

Application Number: JP19930287940 19931117

Priority Number(s):

IPC Classification: G06F17/50

Equivalents:

**ABSTRACT:**

**PURPOSE:** To provide an arranging and wiring device for reducing the wiring capacity of an LSI and lowering the power consumption.

**CONSTITUTION:** This device is composed of a state transition analysis means 11, a switching probability analysis means 13 and an arranging and wiring means 12. The state transition analysis means 11 obtains the probability that the same state transition of signals in a circuit is simultaneously generated, the switching probability analysis means 13 obtains the switching probability of the signals and constraint conditions are prepared from both results. The arranging and wiring means 12 preferentially arranges the signals, whose simultaneous and the same state transition probability and switching probability are large, adjacently to each other and performs wiring. Thus, a coupling capacity is reduced and the power consumption is reduced as well.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-141406

(43)公開日 平成7年(1995)6月2日

(51)Int.Cl.<sup>6</sup>

G 0 6 F 17/50

識別記号

庁内整理番号

F I

技術表示箇所

7623-5L

G 0 6 F 15/ 60

3 7 0 P

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21)出願番号 特願平5-287940

(71)出願人 000005821

松下電器産業株式会社

(22)出願日 平成5年(1993)11月17日

大阪府門真市大字門真1006番地

(72)発明者 米澤 浩和

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 庄野 敏之

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 富田 泰弘

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

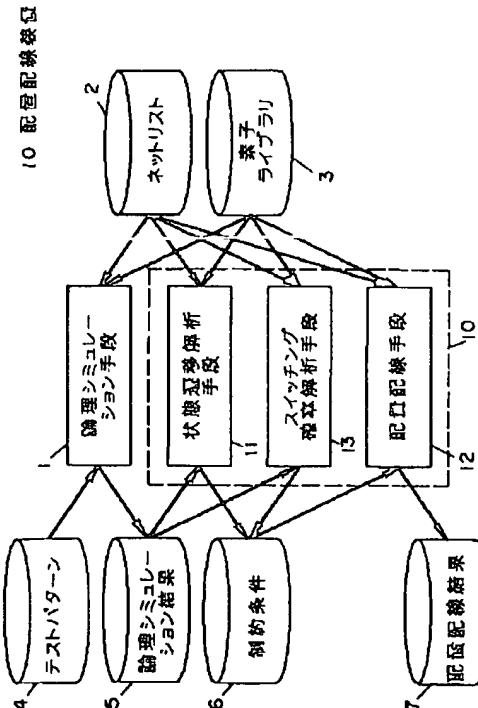
(74)代理人 弁理士 小鍛治 明 (外2名)

(54)【発明の名称】 配置配線装置

(57)【要約】

【目的】 LS1の配線容量を低減して消費電力を低下せしめる配置配線装置を提供する。

【構成】 状態遷移解析手段1 1と、スイッチング確率解析手段1 3と、配置配線手段1 2とからなる。状態遷移解析手段1 1が回路中の信号の同時に同じ状態遷移の起きる確率を求め、スイッチング確率解析手段1 3が信号のスイッチング確率を求め、両結果から制約条件を作る。配置配線手段1 2は同時同状態遷移確率とスイッチング確率とが大きい信号を優先的に隣接して配置配線する。その結果、カップリング容量を低減でき消費電力も低減する。



## 【特許請求の範囲】

【請求項1】配置配線を行うべき回路中の少なくとも2つの信号間の状態遷移を解析して同時に同じ状態遷移が生じる確率を求める状態遷移解析手段と、前記回路中の信号のスイッチング確率を解析して求め、前記同時同状態遷移確率と前記スイッチング確率との関数値を制約条件として出力するスイッチング確率解析手段と、前記制約条件を参照し、前記同時同状態遷移確率と前記スイッチング確率とが大きい信号を優先的に隣接して配置配線する配置配線手段とを備えた配置配線装置。

【請求項2】前記状態遷移解析手段は、信号の波形の立ち上がり期間または立ち下がり期間のオーバーラップする期間が一定値以上のものを同時の状態遷移とみなすことを特徴とする請求項1記載の配置配線装置。

【請求項3】前記状態遷移解析手段は、信号の波形の立ち上がり期間または立ち下がり期間を、定数K、負荷容量CL、前記信号を駆動する素子の単位容量当たり遅延変化量 $\Delta t$ を用いて、 $K \cdot \Delta t \cdot CL$ で表わすことを特徴とする請求項2記載の配置配線装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ASIC(Application Specific Integrated Circuit)などの設計で用いられる配置配線装置に関する。

## 【0002】

【従来の技術】近年ASIC(例えばセルベースLSIやゲートアレイLSIなど)技術はプロセス技術や設計技術などの進歩により急速に発展してきた。LSIの高性能化および高集積化にはCAD(Computer Aided Design)ツールが重要な役割を演じる。カスタムLSIとは異なりASICではCADツールで設計を自動化している割合が大きく、LSI性能がCADツール自身の性能に大きく依存する。

【0003】性能と集積度の両者に深く関与するCADツールに配置配線装置がある。これはセルベースLSIにおけるセル配置とセル間配線を自動的に行うツールであり、集積度を維持しつつ所望の性能を実現することを目指した活発な技術開発の対象となってきた。一般に性能面ではLSIの動作スピードに最も重点が置かれるが、この課題を解決すべく従来から使われてきた技術としては、配置配線装置に遅延制約を与える方法が取られてきた。回路内で動作が遅い部分を優先的に扱い、その部分の配線長を短くして遅延を削減し、制約を満たすというものである。

## 【0004】

【発明が解決しようとする課題】しかし上記の方法では、単にクリティカルバスなどの信号伝搬バスの遅延の大小関係で制約が決められてしまい、消費電力の観点が欠けている。LSIの消費電力成分の1つは、配線容量とそのスイッチング回数の積に比例する形で表わされるた

め、スイッチング確率が大きいバスの配線容量を削減することは低消費電力化には有効である。それと同時に最近の微細デバイスでは、配線容量は配線長のみでは決まらず、隣接する配線の影響を考慮した配置配線手法が要求される。

【0005】本発明は上記のような従来技術の実情を鑑み、隣接する配線の影響およびスイッチング確率を考慮して低消費電力化する機能を有する配置配線装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】上記目的を達成するために考案された請求項1の発明は、少なくとも状態遷移解析手段と、スイッチング確率解析手段と、配置配線手段とを有している。状態遷移解析手段は配置配線を行うべき回路中の少なくとも2つの信号間の状態遷移を解析して同時に同じ状態遷移が生じる確率を求め、スイッチング確率解析手段は前記回路中の信号のスイッチング確率を解析して求め、前記同時同状態遷移確率と前記スイッチング確率との関数値を制約条件として出力する。配置

20 配線手段はその制約条件を参照し、前記同時同状態遷移確率と前記スイッチング確率とが大きい信号を優先的に隣接して配置配線するものである。

【0007】請求項2の発明は、前記状態遷移解析手段は信号波形の立ち上がり期間または立ち下がり期間のオーバーラップする期間が一定値以上のものを同時の状態遷移とみなすものである。

【0008】請求項3の発明は、前記状態遷移解析手段は信号波形の立ち上がり期間または立ち下がり期間を、定数K、負荷容量CL、前記信号を駆動する素子の単位容量当たり遅延変化量 $\Delta t$ を用いて、 $K \cdot \Delta t \cdot CL$ で表わすものである。

## 【0009】

【作用】本発明によれば、状態遷移解析手段により回路中に生じる同時かつ同状態の遷移確率がわかる。通常隣接する配線間にはカップリング容量が存在している。カップリング容量は、関係する配線が異なる状態遷移をするときに顕著になるが、同時に同じ状態遷移が生じる配線間には存在しなくなる。本発明では同時同状態遷移確率の大きい配線を優先的に隣接して配置配線するため、

40 カップリング容量が減少し、その結果消費電力の低減が行える。

【0010】また、消費電力はスイッチング確率の大きい配線の配線容量を低減すると効果的であり、これも請求項1記載の構成によって、スイッチング確率解析手段により信号のスイッチング確率がわかる。本発明ではスイッチング確率の大きい信号を優先的に隣接して配置配線するため、カップリング容量が減少し、その結果消費電力の低減が行える。

## 【0011】

50 【実施例】以下、本発明の実施例を図面を参照しながら

説明する。

【0012】図1は本実施例を示すブロック図である。図1に示すように本実施例は、論理シミュレーション手段1と配置配線装置10とからなる。

【0013】まず各構成要素間のデータの流れを説明する。論理シミュレーション手段1は、対象となる回路のネットリスト2と素子ライブラリ3を参照しつつ、テストパターン4に従って論理シミュレーションを実行し、結果を論理シミュレーション結果5に出力する。ここで、ネットリスト2は回路中の素子の接続情報を示したものである。また、素子ライブラリ3は素子の機能、特性、レイアウトの情報などを有している。配置配線装置10は、状態遷移解析手段11と、スイッチング確率解析手段13と、配置配線手段12とからなる。状態遷移解析手段11は、対象となる回路のネットリスト2と素子ライブラリ3を参照しつつ、論理シミュレーション結果5を解析して結果を制約条件6に出力する。スイッチング確率解析手段13は、対象となる回路のネットリスト2と素子ライブラリ3を参照しつつ、論理シミュレーション結果5を解析して結果を制約条件6に出力する。配置配線手段12は、対象となる回路のネットリスト2と素子ライブラリ3を参照しつつ、制約条件6に従って配置配線を実行し、結果を配置配線結果7に出力する。

【0014】次に配置配線装置10内の動作を詳細に説明する。図4に示す回路を例にして状態遷移解析手段11から説明する。この回路は2入力NAND50,52とインバータ51,53とからなり、入力信号A,B,Cと出力信号F,Gと内部信号D,Eを有する。また内部信号D,E間にはカッピング容量54が存在する。今入力信号A,B,Cに図5に示すような信号を印加することを考える。ここで、図5の横軸は時間、縦軸は論理値を示している。すると、内部信号D,Eには図5のような結果が得られる。状態遷移解析手段11は、図5の楕円で囲んだ部分の矢印で示したような2信号間の同時の同じ状態遷移をカウントし、その発生確率を求める。一般に2信号間の状態遷移は、電圧波形で見ると図7に示すようになっている。ここで、図7の横軸は時間、縦軸は電圧を示している。状態が遷移するときの位相と立ち上がりまたは立ち下り期間(スルーレート)は信号により異なる。このため本発明では状態遷移の同時性を以下のようにして決定する。信号Xの立ち上がり期間T1(図7中ハッティング部)と信号Yの立ち上がり期間T2(図7中ハッティング部)のオーバーラップを調べる。次にこのオーバーラップ期間T3がある一定値より大きい場合は2つの信号は同時に変化したとみなし、一方オーバーラップ期間がある一定値より小さい場合は同時とはみなさないものとする。またここで用いる立ち上がり期間や立ち下り期間は次のように決める。一般に信号の波形の立ち上がりまたは立ち下り期間は、信号を駆動する素子の駆動能力と関係す

る。本発明では立ち上がりまたは立ち下り期間を、 $K \cdot \Delta t \cdot CL$ で表わす。ここで、K:定数、CL:負荷容量、駆動する素子の単位容量当たりの遅延変化量 $\Delta t$ である。定数Kは自由に選ぶことができる。このようにして、状態遷移解析手段11は図5と同様の論理シミュレーション結果5を解析する。求めた同時同状態遷移確率の例を(表1)に示す。2信号の組み合わせ毎に同時同状態遷移確率が示されている。

【0015】

【表1】

解析対象の2信号	同時同状態遷移確率
信号1-信号4	73%
信号1-信号10	49%
信号1-信号51	22%
信号3-信号29	10%
⋮	⋮

【0016】スイッチング確率解析手段13を説明する。回路中、最もスイッチング頻度の大きい信号を基準にして、必要な信号のスイッチング頻度と確率を求める。このようにして、スイッチング確率解析手段13は図5と同様の論理シミュレーション結果5を解析する。求めたスイッチング確率の例を(表2)に示す。2信号の組み合わせ毎にスイッチング確率が示されている。

【0017】

【表2】

解析対象の2信号	スイッチング確率
信号1-信号4	39%
信号1-信号10	98%
信号1-信号51	71%
信号3-信号29	64%
⋮	⋮

【0018】次に、同時同状態遷移確率とスイッチング確率の積を求め、それを制約条件6とする。表1と表2から積として(表3)が得られる。

【0019】

【表3】

5

解析対象の2信号	制約条件
信号1-信号4	28%
信号1-信号10	48%
信号1-信号51	16%
信号3-信号29	1%
⋮	⋮

6

遷移についても同様に扱えばよい。その場合、対象となる配線群を水平に隣接させる場合は図8に示すように、また垂直に隣接させる場合は図9に示すように配置配線を行えばよい。

【0024】また本実施例では、制約条件である関数値に同時同状態遷移確率とスイッチング確率の積を用いたが、他の関数を用いてもよい。

【0025】また本実施例では、制約条件は同時同状態遷移確率とスイッチング確率とからなっているが、従来の遅延制約条件により配線長を制御する方法との併用でもよい。

#### 【0026】

【発明の効果】請求項1記載の配置配線装置によれば、状態遷移解析手段とスイッチング確率解析手段とにより回路の信号の中で同時に同じ状態遷移をする確率が大きく、かつスイッチング頻度の高い信号が選ばれて優先的に互いに隣接して配置配線されるため、カップリング容量が減少し、その結果、従来困難であった低消費電力化が可能になる。また、カップリング容量が減少した配線

20 についても遅延も減少するため高速化も達成でき、さらにカップリングノイズも低減できる。

【0027】請求項2記載の配置配線装置によれば、各信号の状態遷移の同時性が遷移のオーバーラップ期間の一定値に対する大小関係でのみ決められるため簡単に処理でき、その結果処理時間が短縮できる。

【0028】請求項3記載の配置配線装置によれば、信号の負荷容量と信号を駆動する素子の駆動能力のみから立ち上がり期間や立ち下がり期間を簡易的に決定でき、その結果処理時間の短縮も可能となる。

#### 30 【図面の簡単な説明】

【図1】本発明の実施例における構成を示すブロック図

【図2】本発明の実施例における配線容量の影響を説明する断面図

【図3】本発明の実施例における配線容量の影響を説明する断面図

【図4】本発明の実施例における回路例の回路図

【図5】本発明の実施例における回路例の動作を説明するタイミング図

40 【図6】本発明の実施例における回路例の配置配線後のレイアウト図

【図7】本発明の実施例における2信号の電圧波形図

【図8】本発明の実施例における多配線系での配置配線例の断面図

【図9】本発明の実施例における多配線系での配置配線例の断面図

#### 【符号の説明】

1 論理シミュレーション手段

2 ネットリスト

3 素子ライブラリ

50 4 テストパターン

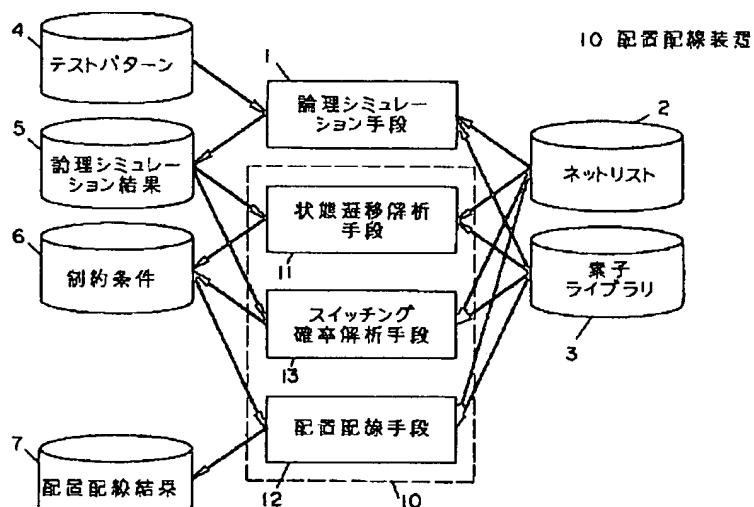
7

- 5 論理シミュレーション結果  
 6 制約条件  
 7 配置配線結果  
 10 配置配線装置  
 11 状態遷移解析手段  
 12 配置配線手段  
 13 スイッチング確率解析手段

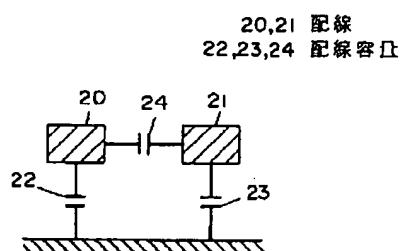
8

- 20, 21, 30, 31, 62 配線  
 22, 23, 24, 32, 33, 34 配線容量  
 50, 52 2入力NAND  
 51, 53 インバータ  
 54 カップリング容量  
 60 レイアウト  
 61 素子領域

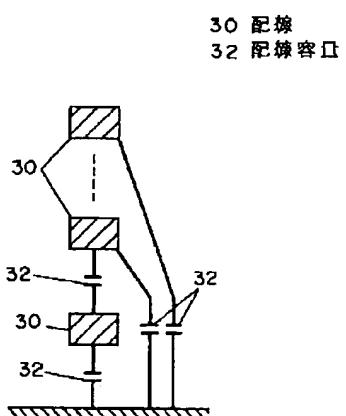
【図1】



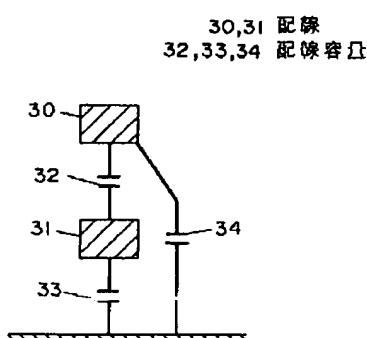
【図2】



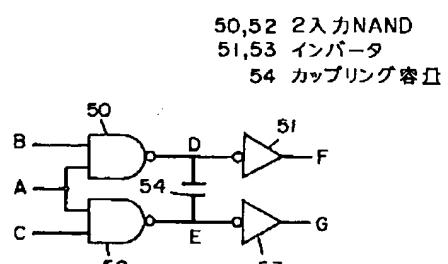
【図9】



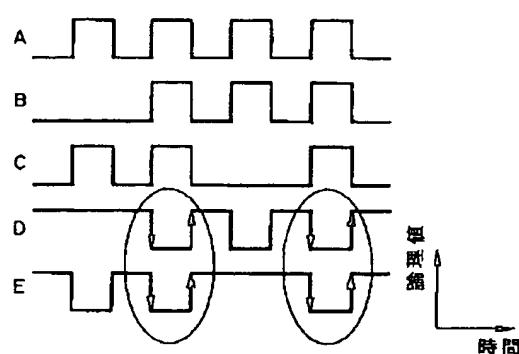
【図3】



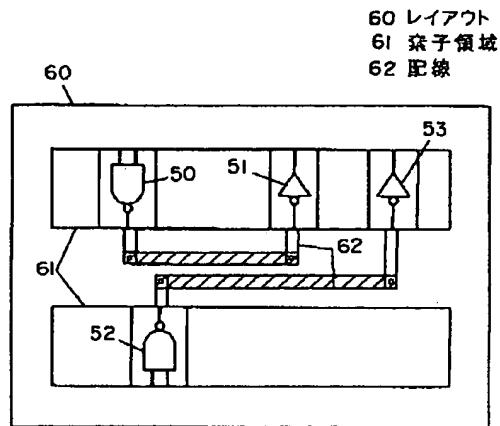
【図4】



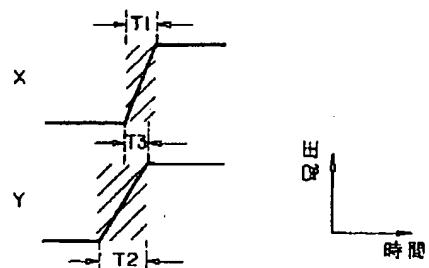
【図5】



【図6】



【図7】



【図8】

